

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-251407

(43)Date of publication of application : 28.09.1993

(51)Int.Cl.

H01L 21/302

H01L 21/331

H01L 29/73

(21)Application number : 04-050218

(71)Applicant : NEC CORP

(22)Date of filing : 09.03.1992

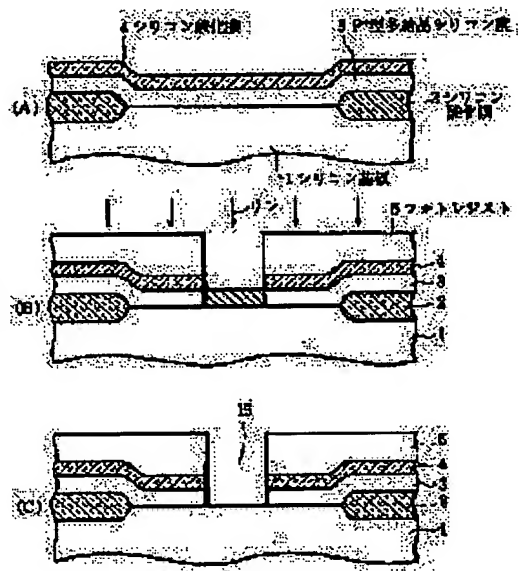
(72)Inventor : SHIMIZU JUNZO

(54) FABRICATION OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To realize highly selective etching of polysilicon on a single crystal silicon substrate in a bipolar transistor or a MOS transistor.

CONSTITUTION: In a bipolar transistor wherein a base electrode, formed of a poly-Si film 3 grown on a single crystal silicon substrate 2, is partially removed and an emitter is formed therein through self-aligned technology, the base electrode is partially removed by implanting phosphorus or arsenic ions, under elaborate control, into the poly-Si film 3 in the region to be removed and then performing reactive ion etching with a gas mainly composed of chlorine. When the etching rate at the phosphorus (arsenic) implanting region is set two times as high as that for the silicon substrate 1, high selectivity can be achieved with respect to the substrate 1.



LEGAL STATUS

[Date of request for examination] 28.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted to registration]

[Date of final disposal for application]

[Patent number] 2910382

[Date of registration] 09.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 09.04.2002

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-251407

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.⁵

H01L 21/302
21/331
29/73

識別記号

庁内整理番号
N 7353-4M

FI

技術表示箇所

7377-4M

H01L 29/72

審査請求 未請求 請求項の数6(全5頁)

(21)出願番号 特願平4-50218

(22)出願日 平成4年(1992)3月9日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 清水 潤三

東京都港区芝五丁目7番1号日本電気株式
会社内

(74)代理人 弁理士 京本 直樹 (外2名)

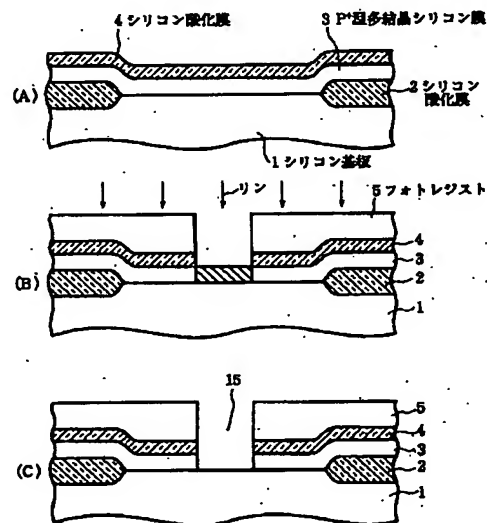
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】バイポーラトランジスタやMOSトランジスタにおいて、単結晶シリコン基板上の多結晶シリコンを選択性良くエッチングする。

【構成】単結晶シリコン基板2上に成長された多結晶シリコン膜3からなるベース電極とそのベース電極の一部を除去し、その領域にエミッタを形成する自己整合的なバイポーラトランジスタにおいて、多結晶シリコン膜3からなるベース電極の一部を除去する方法として、その除去したい領域の多結晶シリコン膜3にリンあるいはヒ素をコントロールよくイオン注入し、塩素を主体としたガスによる反応性イオンエッチングを行なう。

【効果】リン(ヒ素)注入領域のエッチングレートをシリコン基板1に対して2倍近くにする事により、基板1と選択性をもたせる事ができる。



【特許請求の範囲】

【請求項1】 単結晶シリコン基板上に直接接着した多結晶シリコン膜の所定領域を選択的にエッチングする工程を有する半導体装置の製造方法において、少なくとも前記多結晶シリコン膜の前記所定領域をN型にし、しかる後に塩素を主体としたガスを用いて前記所定領域に反応性イオンエッチングを行なう事を特徴とした半導体装置の製造方法。

【請求項2】 前記多結晶シリコン膜は自己整合的に製造されるバイポーラトランジスタのP型のベース電極であり、P型の該多結晶シリコン膜の部分であってN型に変換されて反応性イオンエッチングが行なわれる前記所定領域は該ベース電極に自己整合的なエミッタを形成するための窓開け部分である事を特徴とした請求項1に記載の半導体装置の製造方法。

【請求項3】 前記単結晶シリコン基板上に直接接着した前記多結晶シリコン膜はN型の膜であり、かつ、該単結晶シリコン基板のソースもしくはドレインの形成部分に直接接着している事を特徴とした請求項1に記載の半導体装置の製造方法。

【請求項4】 前記多結晶シリコン膜をN型にする不純物導入法は、リンもしくはヒ素のイオン注入法である事を特徴とした請求項1、請求項2もしくは請求項3に記載の半導体装置の製造方法。

【請求項5】 前記イオン注入法はドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ 以上のリンもしくはヒ素の注入である事を特徴とした請求項4に記載の半導体装置の製造方法。

【請求項6】 前記反応性イオンエッチングは、 Cl_1 、の単独ガス、又は、 Cl_1 と BCl_1 、 HBr 、 BBR 、もしくは SiCl_1 、との混合ガスをエッチングガスとして行なう事を特徴とした請求項1、請求項2、請求項3、請求項4もしくは請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に係わり、特にシリコン基板あるいは、多結晶シリコン膜を深さ方向に制御性良くエッチングする方法に関する。

【0002】

【従来の技術】近年、単結晶シリコン基板上に直接多結晶シリコンを成長し、その多結晶シリコンを選択的にエッチングするという半導体装置の製造方法は、LSI製造において、非常に重要な技術になっている。具体的な例を説明する。

【0003】例えば、P型多結晶シリコン3をグラフトベースに接続するベース電極に用いたバイポーラ・トランジスタにおいて、エミッタ部を開口するのに用いられる。具体的には、図3に示したように、選択的に酸化し形成されたシリコン酸化膜2によって分離されたシリコン基板1上にP⁺型の多結晶シリコン膜3を200～3

00nm（ナノメータ）、及びその上にシリコン酸化膜4が200～300nm成長され、これらの膜にエミッタ8、活性ベース7を形成するための開口を設ける際、シリコン酸化膜4をフッ素系のガスを用いた反応性イオンエッチ（以下RIEと略す）等の異方性エッチングを行ない、次に露出したP⁺型多結晶シリコン膜3を塩素系を主体としたガスを用いRIE等により異方性エッチングする。

【0004】上記のようにエッチングを行なう際、原理的に多結晶シリコン3と単結晶シリコン1を選択的にエッチングする事は不可能であり、P⁺型多結晶シリコン膜3のみをエッチングし、単結晶基板をエッチングしないようにするのは、現状のエッチングレートの安定性、エッチングの均一性等を考慮すると非常に困難である。尚、N⁺型多結晶シリコン9はN型エミッタに接続するエミッタ電極である。

【0005】一方、MOSトランジスタを用いたSRAMのメモリーセルにおけるノード部の形成方法において同様のエッチングが行なわれている。具体的には、図4に示したように、選択的に酸化形成されたシリコン酸化膜2によって分離されたシリコン基板1上にゲート酸化膜13とゲート酸化膜13のノード部を選択的に除去した基板上に、ゲート電極用の多結晶シリコン10が成長され、続いてリンを拡散し、ゲート電極をパターンニングする。N⁺型多結晶シリコンゲートを形成する時、ドレイン12が形成されるノード部のシリコン基板が直接エッチングされる。

【0006】この時、シリコン基板には、N⁺型多結晶シリコンゲート膜10を介してリンが拡散されているため、塩素系のガスを用いてエッチングするゲート・エッチングにおいてオーバーエッチング時にシリコン基板のリン拡散領域のエッチングレートが大きいため、シリコン基板のくぼみAが形成される。

【0007】

【発明が解決しようとする課題】この従来のバイポーラ・トランジスタの場合、エミッタの開孔時、シリコン基板上の多結晶シリコンのみをエッチングする必要があるが、多結晶シリコンとシリコン基板とのエッチング選択比が得られないため、エッチングの均一性、エッチングレートのコントロールを行なっても、多結晶シリコンがエッチングしきれずに残ったり、逆にシリコン基板をエッチングしすぎたり、安定して生産する事が困難であった。

【0008】例えば、多結晶シリコンが残った場合、エミッタとベース電極がその残った多結晶シリコンを介して短絡する。また、シリコン基板をエッチングしすぎた場合、グラフト・ベース6と活性ベース7の接続が十分にできないため、ベース抵抗の増大、エミッターコレクタ間のパンチ・スルー等の問題が発生した。

【0009】一方、従来のMOSトランジスタの場合、

ゲート電極用多結晶シリコン膜をエッチングした時のシリコン基板のくぼみにより、結晶欠陥が誘発され、微小なノード・リークを発生させてデータ保持特性に悪影響を与える問題があった。

【0010】

【課題を解決するための手段】本発明の特徴は、単結晶シリコン基板上に直接被着した多結晶シリコン膜の所定領域を選択的にエッチングする工程を有する半導体装置の製造方法において、少なくとも前記多結晶シリコン膜の前記所定領域をN型にし、しかる後に塩素を主体としたガスを用いて前記所定領域に反応性イオンエッチングを半導体装置の製造方法にある。前記多結晶シリコン膜は自己整合的に製造されるバイポーラトランジスタのP型のベース電極であり、P型の該多結晶シリコン膜の部分であってN型に変換されて反応性イオンエッチングが行なわれる前記所定領域は該ベース電極に自己整合的なエミッタを形成するための窓開け部分であることができる。あるいは、前記単結晶シリコン基板上に直接被着した前記多結晶シリコン膜はN型の膜であり、かつ、該単結晶シリコン基板の、たとえば高抵抗負荷型のCMOS SRAMのノード部となる、ソースもしくはドレインの形成部分に直接被着している膜であることができる。前記多結晶シリコン膜をN型にする不純物導入法はドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ 以上のリンもしくはヒ素のイオン注入法であることが好ましい。又、前記反応性イオンエッチングは、 Cl_2 の単独ガス、又は、 Cl_2 と BCl_3 、 Cl_2 と HBr 、 Cl_2 と BBR_3 、もしくは Cl_2 と SiCl_4 の混合ガスをエッチングガスとして行うことが好ましい。

【0011】

【実施例】次に本発明について図面を参照して説明する。図1(A)～(C)は、本発明の第1の実施例の半導体チップの製造方法を示す断面図である。

【0012】まず、図1(A)に示すように、シリコン基板1を選択的に酸化し形成されたシリコン酸化膜2により区画された領域の露出したシリコン基板1上に、多結晶シリコンを100～200nm成長し、ベース電極となるようにパターンニングする。その後、ボロンあるいはBF₃を注入する事により、P⁺型多結晶シリコン3を形成する。次に、例えばシリコン酸化膜4を化学的気相成長法(以下CVDと略す)により200～300nm成長し、P⁺型多結晶シリコン膜上に絶縁膜を形成する。

【0013】次に、図1(B)に示したように、所望の領域にエミッタを形成するため、フォトレジスト5をマスクにして、シリコン酸化膜4を異方性エッチングし、P⁺型多結晶シリコン3を露出させる。引き続き、フォトレジストをマスクにして、リンをイオン注入する。このイオン注入のエネルギーとドーズ量は、P⁺型多結晶シリコン膜3の膜厚に強く依存し、例えば膜厚200nm

mの場合、40KeV～50KeVのエネルギーで $1 \times 10^{13} \sim 5 \times 10^{13} \text{ cm}^{-2}$ のリンを注入する。あるいは、リンの代わりにヒ素を注入してもよいが、膜厚との関係で選択するのが好ましい。このようにして注入されたリンは、ほぼP⁺型多結晶シリコン膜3のエミッタ開口部にその膜厚分より若干浅目に分布している。

【0014】次に図1(C)に示したように、フォトレジスト5をマスクに、リンの注入されたN⁺型多結晶シリコン膜を塩素を主体とした反応性イオンエッチングによりエッチングする。この場合、リンもしくは、ヒ素の濃度が $5 \times 10^{13} \text{ cm}^{-2}$ 以上の濃度にする事により、ボロン・ドーブあるいは、無添加の多結晶シリコンに対して、塩素主体の反応性イオンエッチングのN⁺型多結晶シリコンのエッチングレートを1.5倍から2倍に増大させる事が可能になる。このように、部分的にN⁺型にする事により、多少エッチングレートがばらついていたり、エッチングの均一性が悪くても、そのばらつきを大幅に吸収する事ができる。例えば、エッチングレートの面内均一性が $\pm 10\%$ の条件を使用しても、実質的なエッチングバラツキを $\pm 3\%$ 内にする事が可能になった。その後、残余するP⁺型多結晶シリコン膜3からのもしくはそれを通してのP型不純物導入でP⁺型グラフトベース6(図3)を形成し、開口15を通してP型の活性ベース7(図3)を形成し、開口15に二酸化シリコン膜14(図3)をサイドウォールとして形成し、その内側にN型の不純物の導入によりN型のエミッタ8(図3)を形成する。以上のように、エミッタ用の窓を精度よく開口した後、ベース及びエミッタを順次作り込んでゆく。

【0015】図2(A)～(C)は、本発明の第2の実施例の半導体チップの製造方法を示す断面図である。

【0016】まず、図2(A)に示すように、シリコン基板1を選択的に酸化し形成されたシリコン酸化膜2により区画された領域の露出したシリコン基板1を10～20nm酸化しゲート酸化膜13を形成する。次にノード部形成のため、ゲート酸化膜13の一部領域を除去し、その後ゲート電極用の多結晶シリコン膜10を100～200nm成長する。次に、全面にリンもしくはヒ素をイオン注入する。この条件としては、浅く注入する事が大切であり、リンに対しては20～30KeV、ヒ素に対しては30～50KeVで $1 \times 10^{13} \text{ cm}^{-2}$ 以上のドーズ量を用いると良い。次に、注入されたリンもしくはヒ素を多結晶シリコンと単結晶シリコン中の拡散定数の差を利用して、700℃～800℃の低温で拡散させる。このようにする事により、シリコン基板1にリンあるいはヒ素を拡散させる事なく、多結晶シリコン膜10中に均一に拡散させる事ができる。

【0017】次に、図2(B)に示したように、ゲート電極をフォトレジストをマスクに塩素系のガスを用いて反応性イオンエッチングする。前述のように、N⁺型シ

リコンとP型もしくは無添加のシリコンとのエッチングレート比はほぼ1.5～2倍が得られるため、ゲート電極エッチングの時、ノード部のシリコン基板のくぼみを発生させる事なく、良好なエッチングを行なう事ができる。

【0018】その後、図2(C)に示すように、ソース、ドレイン11、12を形成すると同時に、たとえば高抵抗負荷型のCMOS SRAMのノード部となる部分にも、多結晶シリコン10からリンもしくはヒ素をシリコン基板1に拡散させる。

【0019】

【発明の効果】以上説明したように本発明は、N⁺型の多結晶シリコンとP型もしくは無添加の多結晶シリコン、あるいはシリコン基板のエッチングレートの比が1.5～2倍N⁺型多結晶シリコン基板の方が大きい塩素系のガスを用いて多結晶シリコンをエッチングするので、単結晶シリコン上に成長された多結晶シリコン膜を単結晶シリコン基板側に損傷を与える事なく選択的にエッチングできるという効果を有する。

【0020】特に、多結晶シリコンによるベース電極と自己整合的に形成されるエミッタを有するバイポーラトランジスタのエミッタ開口において、シリコン基板と選択的にエッチングできたので、トランジスタ歩留がほぼ100%を得る事ができた。

【0021】また、高抵抗負荷型あるいはTFT(Thin Film Transistor)型のCMOS SRAMのノード部において、ゲート電極のエッチン

*グ時にシリコン基板のくぼみを抑える事が可能になり、散発的なノードリーク不良がなくなり、ほぼ10%良品率が向上した。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造を工程順に示した断面図。

【図2】本発明の第2の実施例の製造を工程順に示した断面図。

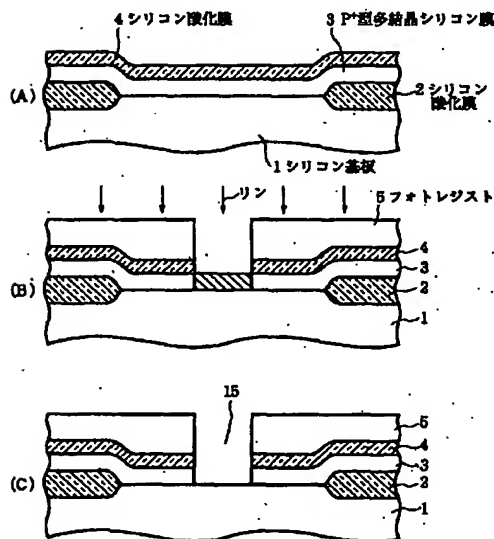
【図3】従来のバイポーラトランジスタの不具合を示した断面図。

【図4】従来のCMOS SRAMのノード部での不具合を示した断面図。

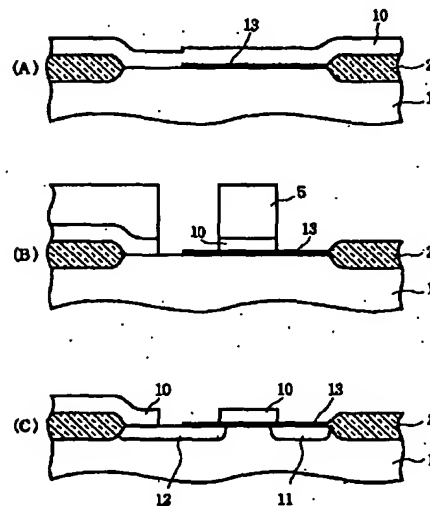
【符号の説明】

- 1 シリコン基板
- 2 シリコン酸化膜
- 3 P⁺型多結晶シリコン膜
- 4 シリコン酸化膜
- 6 グラフトベース
- 7 活性ベース
- 8 エミッタ
- 10 N⁺型多結晶シリコンゲート
- 11 ソース
- 12 ドレイン
- 13 ゲート酸化膜
- 14 側面酸化膜
- 15 開口
- A シリコン基板のくぼみ

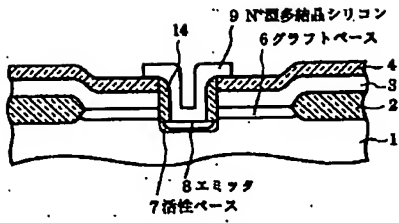
【図1】



【図2】



【図3】



【図4】

